

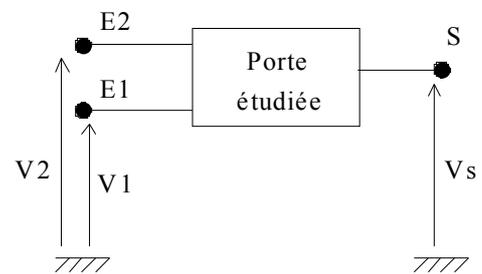
## TP n°8 : Etude de portes logiques

- Objectifs :**
- relever expérimentalement la caractéristique de sortie  $V_s = f(i_s)$  d'une porte logique ;
  - comparer les caractéristiques de sortie d'une porte logique CMOS et d'une porte logique TTL ;
  - exploiter une caractéristique, afin de déterminer :
    - les modèles de cette porte logique ;
    - les coordonnées du point de fonctionnement d'un montage.

### Introduction : Présentation des portes logiques

Un Circuit Intégré Logique est un circuit électronique permettant de réaliser des opérations (ou fonctions) logiques: ET ( ou AND) ; NON (ou NO) ; NON ET (ou NAND) ... Ils sont appelés **OPERATEURS LOGIQUES** ou **PORTES LOGIQUES**. Ils sont réalisés à partir de composants (diodes, transistors, résistors...) "gravés" sur une "puce" de semi-conducteur enfermée ensuite dans un boîtier.

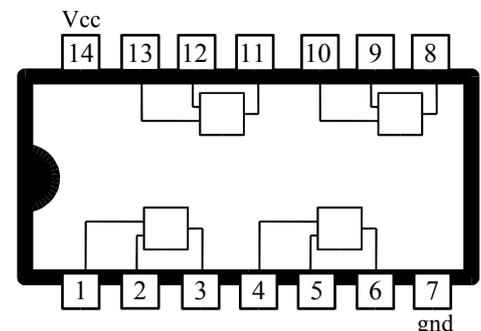
Une **porte logique** possède une **sortie S** et une ou plusieurs **entrées**  $E_1, E_2, \dots$  (deux le plus souvent). La valeur de la tension de sortie  $V_s$  est une fonction des valeurs  $V_1, V_2, \dots$  des tensions d'entrée. A chacune des **grandeurs physiques** que sont les tensions d'entrée ou de sortie, on associe une **variable logique** binaire c'est à dire qui ne peut prendre que deux valeurs : "0" ou "1". En logique positive "0" correspond au **niveau logique bas** (Low en anglais) et "1" correspond au **niveau logique haut** (High en anglais).



Les circuits intégrés logiques sont de **technologie TTL** (Transistors Transistors Logic) ou de **technologie CMOS** (Complémentaire Metal Oxyde SemiConductor).

Nous nous intéresserons d'abord au circuit intégré logique de référence **4011**, de **technologie CMOS**, puis au circuit intégré **74LS00**, de **technologie TTL**. Ces deux circuits sont constitués de 4 portes logiques NAND identiques.

Nous étudierons la porte reliée aux pattes 1,2 (les deux entrées) et 3 (la sortie). La broche 14 sera reliée à la borne + 5V du boîtier BORA, la broche 7 à sa masse.



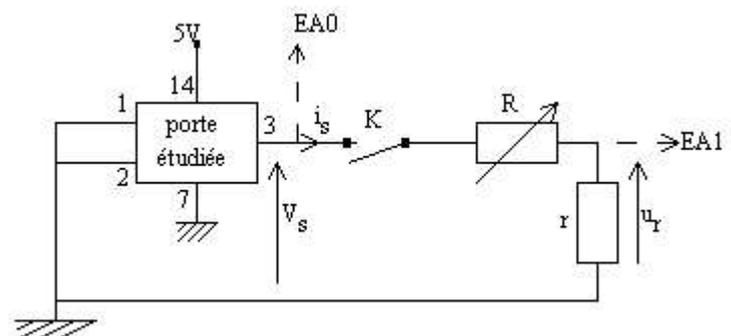
## I - Relevé de la caractéristique $V_s(i_s)$ d'une porte NAND CMOS

### 1.1 Etude du montage

On souhaite relever la caractéristique de sortie  $V_s(i_s)$

Voici le montage suivant :

- l'alimentation +5 V de la porte logique est fournie par le boîtier BORA ;
- la résistance variable  $R$  est une boîte de résistances de précision  $\times 1\Omega, \times 10\Omega, \dots, \times 10k\Omega$
- $r$  est une résistance de  $10\Omega$
- EA0 et EA1 sont des entrées du boîtier BORA.



1- **Précisez** quelle tension relèvera-t-on sur les entrées 0 et 1.

2- **En déduire** les coefficients d'amplification de chacune des entrées du boîtier BORA, si l'on souhaite que l'ordinateur affiche à l'écran l'intensité du courant  $i_s$  en mA et la tension  $V_s$  en volt.

3- **Paramétrez** le logiciel de la manière suivante :

Entrées	Configuration matérielle	Affichage			Capteur
		Nom	Unité	Fenêtre	Amplification
Entrée 0 (entre M et EA0)	Pas à pas « instantanée »	à compléter	à compléter	1	à compléter
Entrée 1 (entre M et EA1)	Pas à pas « instantanée »	à compléter	à compléter	2	à compléter

### 1.2 Acquisitions des mesures

- 1- **Réalisez** le montage, et faites le vérifier par le professeur.
- 2- **Faites varier** R de l'infini (interrupteur K ouvert) à 0, et **relevez** les valeurs de  $V_s$  et  $i_s$  correspondantes (prenez une vingtaine de points au minimum).
- 3- **Enregistrez** votre travail, en le nommant « NAND\_CMOS » suivi de votre numéro de poste (exemple : NAND\_CMOS\_5).

### 1.3 Traitement des mesures

- 1- **Tracez** à l'ordinateur, puis **imprimez**, la caractéristique  $V_s(i_s)$ .  
Remarque : afin d'obtenir une impression correcte, réglez la fenêtre de visualisation avec les échelles (manuelles) suivantes : en X : de 0 à 6, en Y : de 0 à 6.
- 2- **Déterminez** le plus précisément possible les échelles en ordonnées (1 cm  $\Leftrightarrow$  ?V) et en abscisse (1cm  $\Leftrightarrow$  ? mA).  
La caractéristique obtenue comporte deux parties linéaires : nous allons chercher leurs modèles équivalents.
- 3- Pour la partie linéaire correspondant à l'état haut de la porte :
  - **déterminez** son équation, du style  $V_s = E - r \cdot i_s$
  - **en déduire** le M.E.T. de la porte vue de la sortie, à l'état haut.
  - **précisez** les limites de validité pour ce modèle.
- 4- Pour la partie linéaire correspondant à l'état bas de la porte :
  - **déterminez** son équation, du style  $i_s = I_0 - V_s/r$
  - **en déduire** le M.E.N. de la porte vue de la sortie, à l'état bas
  - **précisez** les limites de validité pour ce modèle.

## II - Relevé de la caractéristique $V_s(i_s)$ d'une porte NAND TTL

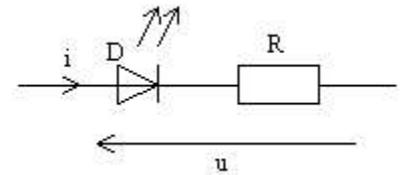
- 1- **Remplacez** la porte NAND CMOS (4011) par la porte NAND TTL (74LS00).
- 2- **Refaites** une acquisition de mesures afin de relever la caractéristique de sortie  $V_s(i_s)$  pour cette porte.
- 3- **Enregistrez** votre travail, en le nommant « NAND\_TTL » suivi de votre numéro de poste.
- 4- **Tracez** à l'ordinateur, puis **imprimez**, la caractéristique  $V_s(i_s)$ .
- 5- **Déterminez** le (ou les) modèle(s) équivalent(s) de cette porte, sur un (ou des) intervalles à préciser.
- 6- **Comparez** cette caractéristique avec celle de la porte CMOS.

### III - Relevé de la caractéristique $u(i)$ d'une association de dipôles passifs

On souhaite relever la caractéristique  $u(i)$  de l'association de dipôle suivante :

D : diode électroluminescente (DEL)

R : résistance de  $220 \Omega$ .



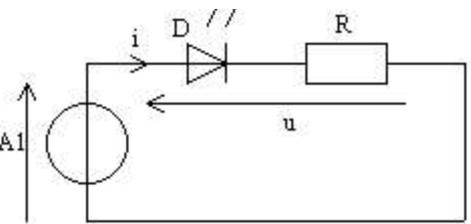
#### 3.1 Etude du montage

On veut effectuer ce relevé en mode AUTOMATIQUE.

$u_{SA1}$  est la tension de la sortie SA1 du boîtier BORA.

1- **Refaites** un schéma du montage en plaçant EA0 et EA1 si l'on veut  $u_{SA1}$  relever  $u$  sur la voie EA0 et  $i$  (ou une tension image ...) sur la voie EA1.

2- **En déduire** le coefficient d'amplification  $A$  si l'on souhaite que l'ordinateur affiche à l'écran l'intensité du courant  $i$  en mA.



#### 3.2 Réglage de la tension $u_{SA1}$

1- **Calculez** la valeur maximale  $U_{max}$  de la tension  $u_{SA1}$  si l'on veut que l'intensité du courant dans la DEL ne dépasse pas 15 mA, lorsque celle-ci est passante (tension de seuil d'une LED : 1.5 V environ).

2- **Réglez** la sortie SA1 (menu paramètres, onglet sortie) de manière à ce que la tension  $u_{SA1}$  est une forme de rampe, partant de 0 V jusqu'à  $U_{max}$  :

Forme	Minimum	Maximum	Mode d'émission	Nom	Unité	Valeur après émission
Rampe	0	A compléter	Durant l'acquisition	SA1	V	Nulle

#### 3.3 Acquisitions des mesures

1- **Réalisez** le montage, et faites le vérifier.

2- **Faites** l'acquisition.

3- **Enregistrez** votre travail, en le nommant « DEL\_et\_R » suivi de votre numéro de poste (exemple : DELR5).

#### 3.4 Traitement des mesures

1- **Tracez** la caractéristique  $u(i)$ .

2- Pour la partie linéaire de la caractéristique, **cherchez** le MET de cette association de dipôles (attention : sous la forme  $u = E + r \cdot i$ , car on est en convention récepteur ici). Vous **préciserez** le domaine de validité d'un tel dipôle.

### IV – Détermination d'un point de fonctionnement

On branche en sortie de la porte logique NAND CMOS (partie I) l'association série de la DEL avec R.

**Quelle est l'intensité du courant  $i_s$  débitée par la porte, ainsi que la tension  $V_s$  en sortie de celle-ci ?**

1- **Répondez** à cette question :

- en utilisant les caractéristiques  $V_s(i_s)$  et  $u(i)$  déterminées précédemment. **Expliquez** votre démarche.
- en utilisant les modèles équivalents (précisez lesquels, et justifiez vos choix).

2- **Proposez** une vérification expérimentale à votre professeur. **Réalisez-** la. Retrouvez-vous les valeurs de  $i_s$  et  $V_s$  déterminées à la question 1 ?